Docket No. 243883US2S/hyc

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Moto YABUKI

SERIAL NO: 10/682,110

FILED: October 10, 2003

FOR: SEMICONDUCTOR DEVICE

GAU:

EXAMINER:

## REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**: **Application No.** **Date Filed**

■ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

| COUNTRY | APPLICATION NUMBER | MONTH/DAY/YEAR |
|---|---|---|
| JAPAN | 2002-298506 | October 11, 2002 |

Certified copies of the corresponding Convention Application(s)

■ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Joseph A Scafetta Jr.

Marvin J. Spivak
Registration No. 24,913
Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number
22850
Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

10/682,110
035268

# 日本国特許庁
# JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００２年１０月１１日

出願番号
Application Number: 特願２００２－２９８５０６

[ST. 10/C]: [ＪＰ２００２－２９８５０６]

出願人
Applicant(s): 株式会社東芝

２００３年１０月１５日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号 出証特２００３－３０８４６２９

【書類名】　特許願
【整理番号】　A000200598
【提出日】　平成14年10月11日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 27/00
【発明の名称】　半導体装置
【請求項の数】　7
【発明者】
【住所又は居所】　神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
【氏名】　矢吹　宗
【特許出願人】
【識別番号】　000003078
【氏名又は名称】　株式会社　東芝
【代理人】
【識別番号】　100058479
【弁理士】
【氏名又は名称】　鈴江　武彦
【電話番号】　03-3502-3181
【選任した代理人】
【識別番号】　100084618
【弁理士】
【氏名又は名称】　村松　貞男
【選任した代理人】
【識別番号】　100068814
【弁理士】
【氏名又は名称】　坪井　淳

【選任した代理人】

【識別番号】　100092196

【弁理士】

【氏名又は名称】　橋本　良郎

【選任した代理人】

【識別番号】　100091351

【弁理士】

【氏名又は名称】　河野　哲

【選任した代理人】

【識別番号】　100088683

【弁理士】

【氏名又は名称】　中村　誠

【選任した代理人】

【識別番号】　100070437

【弁理士】

【氏名又は名称】　河井　将次

【手数料の表示】

【予納台帳番号】　011567

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　半導体装置

【特許請求の範囲】

【請求項１】

下地膜と、

前記下地膜上に形成された第１の電極と、

前記第１の電極上に形成された第１の誘電体膜と、

前記第１の誘電体膜上に形成された第２の電極と、

前記第１の電極、第１の誘電体膜及び第２の電極の積層方向に延伸した第１の導電部を含み、前記第１の電極及び第２の電極の一方の電極に前記第１の導電部の側面が接触した第１の配線と、

を備えたことを特徴とする半導体装置。

【請求項２】

前記第１の導電部は、前記一方の電極の側面及び上面に接触している

ことを特徴とする請求項１に記載の半導体装置。

【請求項３】

前記第１の導電部は、前記一方の電極を貫通している

ことを特徴とする請求項１に記載の半導体装置。

【請求項４】

前記積層方向に延伸した第２の導電部を含み、前記第１の電極及び第２の電極の他方の電極に前記第２の導電部の側面が接触した第２の配線をさらに備えた

ことを特徴とする請求項１に記載の半導体装置。

【請求項５】

前記下地膜上に形成された第３の電極と、

前記第３の電極上に形成された第２の誘電体膜と、

前記第２の誘電体膜上に形成された第４の電極と、

をさらに備え、

前記第１の導電部は、前記第３の電極及び第４の電極の一方の電極に側面が接触している

ことを特徴とする請求項１に記載の半導体装置。

【請求項６】

前記第２の電極上に形成された第２の誘電体膜と、

前記第２の誘電体膜上に形成された第３の電極と、

前記第３の電極上に形成された第３の誘電体膜と、

前記第３の誘電体膜上に形成された第４の電極と、

をさらに備え、

前記第１の導電部は、前記第３の電極及び第４の電極の一方の電極に側面が接触している

ことを特徴とする請求項１に記載の半導体装置。

【請求項７】

下地膜と、

前記下地膜上に形成された第１の電極と、

前記第１の電極上に形成された誘電体膜と、

前記誘電体膜上に形成された第２の電極と、

前記第２の電極に接続された配線と、

を備え、

前記配線は、前記第１の電極、誘電体膜及び第２の電極の積層方向に延伸した第１の導電部と、前記第２の電極及び第１の導電部と異なる材料で第２の電極と第１の導電部との間に形成された第２の導電部とを含み、前記第１の導電部の側面が前記第２の導電部に接触している

ことを特徴とする半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体装置、特にキャパシタを有する半導体装置に関する。

【０００２】

【従来の技術】

キャパシタの誘電体膜にＰＺＴ（Ｐｂ（Ｚｒ，Ｔｉ）$O_3$）等の強誘電体を用

いた不揮発性のメモリ（ＦｅＲＡＭ）について研究開発が行われている。

【０００３】

図１０は、従来技術に係る強誘電体メモリの構成について、その一例を示した断面図である。１１はシリコン酸化膜等の層間絶縁膜、１２はシリコン窒化膜、１３はシリコン酸化膜であり、シリコン酸化膜１３上に、下部電極２１、強誘電体膜２２及び上部電極２３からなる強誘電体キャパシタが形成されている。キャパシタはシリコン酸化膜３１で覆われ、シリコン酸化膜３１上にシリコン酸化膜３２が形成されている。キャパシタの下部電極２１には導電部４１ａ、４１ｂ及び４１ｃからなる配線が、上部電極２３には導電部４２ａ、４２ｂ及び４２ｃからなる配線が接続され、これらの配線は下層側に形成されたトランジスタや配線等に接続されている。

【０００４】

上記従来の強誘電体メモリでは、下部電極２１及び上部電極２３に接続された各配線は、垂直方向に延伸した導電部（４１ａ、４２ａ）、水平方向に延伸した導電部（４１ｃ、４２ｃ）及び垂直方向に延伸した導電部（４１ｂ、４２ｂ）で構成されている。したがって、配線に必要な面積が大きく微細化が難しいといった問題や、配線を形成するための製造工程が複雑になるといった問題を有していた。

【０００５】

公知技術として、非特許文献１には、強誘電体メモリの構造が記載されているが、基本的には上述した例と同様であり、配線に必要な面積が大きく微細化が難しいといった問題や、配線を形成するための製造工程が複雑になるといった問題を有している。

【０００６】

【非特許文献１】

ティー・オザキ（T. Ozaki）、他１０名，「ア・フリー・プレーナライズド・８Ｍビット・フェロエレクトリックＲＡＭ・ウィズ・‘チェイン’セル・ストラクチャー（A Fully Planalized 8M bit Ferroelectric RAM with 'Chain' Cell Structure）」，「ダイジェスト・オブ・テック．ペイパーズ・２００１

・シンプ．オン・ＶＬＳＩテック．（Digest of Tech. papers 2001 Symp. on VLSI Tech.）」，（米国），２００１年，ｐ．１１３－１１４。

【０００７】

【発明が解決しようとする課題】

このように従来は、配線に必要な面積が大きく、半導体装置の微細化が難しい等の問題があった。

【０００８】

本発明は上記従来の課題に対してなされたものであり、微細化等を容易に達成することが可能な半導体装置を提供することを目的としている。

【０００９】

【課題を解決するための手段】

本発明に係る半導体装置は、下地膜と、前記下地膜上に形成された第１の電極と、前記第１の電極上に形成された第１の誘電体膜と、前記第１の誘電体膜上に形成された第２の電極と、前記第１の電極、第１の誘電体膜及び第２の電極の積層方向に延伸した第１の導電部を含み、前記第１の電極及び第２の電極の一方の電極に前記第１の導電部の側面が接触した第１の配線と、を備えたことを特徴とする。

【００１０】

本発明に係る半導体装置は、下地膜と、前記下地膜上に形成された第１の電極と、前記第１の電極上に形成された誘電体膜と、前記誘電体膜上に形成された第２の電極と、前記第２の電極に接続された配線と、を備え、前記配線は、前記第１の電極、誘電体膜及び第２の電極の積層方向に延伸した第１の導電部と、前記第２の電極及び第１の導電部と異なる材料で第２の電極と第１の導電部との間に形成された第２の導電部とを含み、前記第１の導電部の側面が前記第２の導電部に接触していることを特徴とする。

【００１１】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照して説明する。

【００１２】

（実施形態１）

図１（ａ）及び図１（ｂ）は、本発明の第１の実施形態に係る半導体装置（強誘電体メモリ）の製造工程を模式的に示した断面図である。

【００１３】

まず、図１（ａ）に示すように、ＭＩＳトランジスタ（図示せず）等が形成された半導体基板（図示せず）上に、シリコン酸化膜（$SiO_2$ 膜）等の層間絶縁膜１１、減圧ＣＶＤによるシリコン窒化膜（ＳｉＮ膜）１２及びＴＥＯＳを用いた減圧ＣＶＤによるシリコン酸化膜１３を形成する。続いて、シリコン酸化膜１３上に、下部電極２１、下部電極２１上の強誘電体膜２２及び強誘電体膜２２上の上部電極２３からなる強誘電体キャパシタを形成する。下部電極２１及び上部電極２３には、例えばプラチナ（Ｐｔ）膜、イリジウム（Ｉｒ）膜或いは$IrO_2$ 膜を用いる。強誘電体膜２２には、例えばＰＺＴ膜（$Pb(Zr,Ti)O_3$ 膜）を用いる。さらに、ＴＥＯＳを用いたプラズマＣＶＤによって全面にシリコン酸化膜３１を形成する。

【００１４】

次に、図１（ｂ）に示すように、シリコン酸化膜３１、シリコン酸化膜１３、シリコン窒化膜１２及び層間絶縁膜１１に、ＲＩＥ等によって接続孔を形成する。続いて、全面に金属膜としてＡｌ膜を形成し、さらにＣＭＰによって余分な金属膜を除去することで、各接続孔内に選択的に金属膜を残す。これにより、下部電極２１に接続された導電部（プラグ）４１、上部電極に接続された導電部４２ａ、さらに導電部（プラグ）４２ｂが得られる。なお、Ａｌ膜を形成する前に、Ａｌ膜と電極との反応を抑制するために、バリアメタル膜としてＴｉＮ膜等を形成してもよい。

【００１５】

次に、全面にシリコン酸化膜３２を形成し、さらにシリコン酸化膜３２に溝を形成する。続いて、全面に金属膜としてＡｌ膜を形成し、さらにＣＭＰによって余分な金属膜を除去することで、溝内に選択的に金属膜を残す。これにより、導電部４２ａと導電部４２ｂを接続する導電部４２ｃが得られる。

【００１６】

このようにして、キャパシタの下部電極２１には導電部４１からなる配線が接続され、上部電極２３には導電部４２ａ、４２ｂ及び４２ｃからなる配線が接続された構造が得られる。これらの配線は、強誘電体メモリの回路構成にもよるが、例えば下層側に形成されたトランジスタや配線等（ＦＥＯＬ：Front End Of Line）に接続される。

【００１７】

図１（ｂ）からわかるように、本実施形態では、導電部（配線）４１は下部電極２１の端部に接触している。すなわち、配線４１の側面が下部電極２１の側面に接触し、且つ配線４１は下部電極２１の上面にも接触しており、これらの接触部によって下部電極２１と配線４１とが電気的に接続されている。

【００１８】

このように、本実施形態によれば、下部電極２１と配線４１との接続が、下部電極２１の端部で行われているため、従来に比べて配線に必要な面積を大幅に低減することができ、半導体装置の微細化を達成することが可能となる。

【００１９】

（実施形態２）

図２（ａ）及び図２（ｂ）は、本発明の第２の実施形態に係る半導体装置（強誘電体メモリ）の製造工程を模式的に示した断面図である。基本的な構成及び製造工程は第１の実施形態と類似しており、図１に示した構成要素と対応する構成要素には同一の参照番号を付し、それらの詳細な説明は省略する（他の実施形態についても、第１の実施形態と重複する事項については説明を省略する）。

【００２０】

本実施形態では、図２（ｂ）に示すように、配線（導電部）４１が下部電極２１を貫通し、配線４１の側面が下部電極２１の側面に接触している。具体的には、ＲＩＥ等により下部電極２１を貫通するように接続孔を形成し、形成された接続孔内にＡｌ膜等の金属膜を埋めることで、配線４１が形成される。

【００２１】

このように、本実施形態では、配線４１を下部電極２１に貫通させることで、下部電極２１と配線４１との接続をとっているため、第１の実施形態と同様、配

線に必要な面積を大幅に低減することができ、半導体装置の微細化を達成することが可能となる。

【００２２】

（実施形態３）

図３（ａ）及び図３（ｂ）は、本発明の第３の実施形態に係る半導体装置（強誘電体メモリ）の製造工程を模式的に示した断面図である。

【００２３】

まず、図３（ａ）に示すように、第１の実施形態と同様にして、層間絶縁膜１１、シリコン窒化膜１２及びシリコン酸化膜１３を形成し、シリコン酸化膜１３上に、下部電極２１、強誘電体膜２２及び上部電極２３の積層構造からなる強誘電体キャパシタを形成する。ただし、本実施形態では、強誘電体膜２２及び上部電極２３の側面に、シリコン窒化膜からなる側壁絶縁膜３３ａを形成する。具体的には、強誘電体膜２２及び上部電極２３をパターニングした後、全面にシリコン窒化膜を形成し、さらにＲＩＥを行うことで、強誘電体膜２２及び上部電極２３の側面に選択的に側壁絶縁膜３３ａを形成するとともに、下部電極２１のパターンを形成する。その後、全面にシリコン窒化膜を形成し、さらにＲＩＥを行うことで、下部電極２１及び側壁絶縁膜３３ａの側面に選択的にシリコン窒化膜からなる側壁絶縁膜３３ｂを形成する。さらにその後、全面にシリコン酸化膜３１を形成する。

【００２４】

次に、図３（ｂ）に示すように、ＲＩＥ等によりシリコン酸化膜３１等の一部を除去して接続孔を形成する。このとき、導電部（配線）４１形成用の接続孔については、レジストをマスクとして、側壁絶縁膜３３ａ及び３３ｂもエッチングし、下部電極の端部を露出させる。一方、導電部４２ｂ形成用の接続孔については、レジストマスクを用いずに、側壁絶縁膜３３ａ及び３３ｂに対して選択的にシリコン酸化膜３１等をエッチングし、下部電極の端部が露出しないようにする。その後、全面に金属膜としてＡｌ膜を形成し、さらにＣＭＰによって余分な金属膜を除去することで、各接続孔内に選択的に金属膜を残す。これにより、下部電極２１に接続された導電部４１、上部電極に接続された導電部４２ａ、さらに

導電部４２ｂが得られる。なお、第１の実施形態と同様、Ａｌ膜を形成する前にバリアメタル膜を形成してもよい。

【００２５】

その後の工程は、第１の実施形態と同様であり、シリコン酸化膜３２に形成した溝内にＡｌ膜等の金属膜を埋め込むことで、導電部４２ａと導電部４２ｂを接続する導電部４２ｃが得られる。

【００２６】

このようにして、キャパシタの下部電極２１には導電部４１からなる配線が接続され、上部電極２３には導電部４２ａ、４２ｂ及び４２ｃからなる配線が接続された構造が得られる。

【００２７】

本実施形態においても、第１の実施形態と同様、下部電極２１と配線４１との接続が、下部電極２１の端部で行われているため、従来に比べて配線に必要な面積を大幅に低減することができ、半導体装置の微細化を達成することが可能となる。また、本実施形態では、キャパシタの側面に側壁絶縁膜３３ａ及び３３ｂを形成することで、隣接するキャパシタ間の距離を短くすることができ、より微細化をはかることが可能となる。

【００２８】

（実施形態４）

図４（ａ）及び図４（ｂ）は、本発明の第４の実施形態に係る半導体装置（強誘電体メモリ）の製造工程を模式的に示した断面図である。基本的な構成及び製造工程は第３の実施形態と類似しており、図３に示した構成要素と対応する構成要素には同一の参照番号を付し、それらの詳細な説明は省略する。

【００２９】

本実施形態では、図４（ａ）の工程において、側壁絶縁膜３３ａ及び３３ｂの他、上部電極２３の上面にも上部絶縁膜３３ｃを形成する。具体的には、強誘電体膜２２及び上部電極２３をパターニングした後、全面にシリコン窒化膜を形成し、さらにレジストをマスクとしてＲＩＥを行うことで、強誘電体膜２２及び上部電極２３の側面に側壁絶縁膜３３ａを形成するとともに、上部電極２３の上面

に上部絶縁膜３３ｃを形成する。その後、第３の実施形態と同様の方法により、側壁絶縁膜３３ｂを形成する。

【００３０】

図４（ｂ）の工程では、各接続孔の他、シリコン酸化膜３１及び上部絶縁膜３３ｃを除去することで形成された溝内にも、同時にＡｌ膜を埋め込む。このようにして、キャパシタの下部電極２１には導電部４１からなる配線が接続され、上部電極２３には導電部４２ｂ及び４２ｄからなる配線が接続された構造が得られる。

【００３１】

このような構造により、本実施形態においても、第３の実施形態と同様の作用効果を得ることが可能である。

【００３２】

（実施形態５）

図５（ａ）及び図５（ｂ）は、本発明の第５の実施形態に係る半導体装置（強誘電体メモリ）の製造工程を模式的に示した断面図である。基本的な構成及び製造工程は第３の実施形態と類似しており、図３に示した構成要素と対応する構成要素には同一の参照番号を付し、それらの詳細な説明は省略する。

【００３３】

本実施形態では、図５（ａ）の工程において、第３の実施形態と同様にして、キャパシタ、側壁絶縁膜及び層間絶縁膜を形成した後、層間絶縁膜３１にキャパシタの上部電極２３に達する接続孔を形成する。続いて全面に導電膜を形成し、さらに導電膜をパターニングして上部電極２３に接続された導電部４３を形成する。この導電部４３には、上部電極２３及び図５（ｂ）の工程で形成されるＡｌ膜との間で合金化反応を生じない材料、例えばＴｉＮ等の材料を用いる。その後、全面にシリコン酸化膜３４を形成し、さらにＣＭＰによって平坦化処理を行い、凹部をシリコン酸化膜３４で埋める。

【００３４】

図５（ｂ）の工程では、第３の実施形態と同様の方法を用いて、Ａｌ膜等の金属膜からなる導電部４１及び４２を形成する。ただし、本実施形態では、接続孔

を形成する際に導電部４３の一部もエッチングする。したがって、ＴｉＮ膜等の導電膜を接続孔に埋め込むことで、導電部４２の側面が導電部４３の側面に接触し、両者が電気的に接続される。

【００３５】

このようにして、キャパシタの下部電極２１には導電部４１からなる配線が接続され、上部電極２３には導電部４２及び４３からなる配線が接続された構造が得られる。

【００３６】

本実施形態においても、第１及び第３の実施形態と同様の作用効果を得ることができる他、導電部４３の側面と導電部４２の側面が接触しているため、上部電極２３に接続された配線の占有面積を低減することができる。また、ＴｉＮ膜等の材料（バリアメタル材料）からなる導電部４３を介して上部電極２３と導電部４２とを接続しているため、上部電極２３と導電部４２との反応を確実に防止することができる。

【００３７】

（実施形態６）

図６（ａ）及び図６（ｂ）は、本発明の第６の実施形態に係る半導体装置（強誘電体メモリ）の製造工程を模式的に示した断面図である。

【００３８】

まず、図６（ａ）に示すように、第１の実施形態と同様にして、ＭＩＳトランジスタ（図示せず）等が形成された半導体基板（図示せず）上に、層間絶縁膜１１、シリコン窒化膜１２及びシリコン酸化膜１３を形成する。次に、シリコン酸化膜１３上に電極膜を形成し、この電極膜をパターニングして強誘電体キャパシタの下部電極２１を形成する。続いて、全面に強誘電体膜２２を形成する。さらに、全面に電極膜を形成し、この電極膜をパターニングしてキャパシタの上部電極２３を形成する。その後、ＴＥＯＳを用いたプラズマＣＶＤによって全面にシリコン酸化膜３１を形成する。

【００３９】

次に、図６（ｂ）に示すように、層間絶縁膜１１、シリコン窒化膜１２、シリ

コン酸化膜１３、強誘電体膜２２及びシリコン酸化膜３１を貫通する接続孔を、ＲＩＥ等によって形成する。続いて、全面に金属膜としてＡｌ膜を形成し、さらにＣＭＰによって余分な金属膜を除去することで、各接続孔内に選択的に金属膜を残す。これにより、下部電極２１に接続された導電部（配線）４１及び、上部電極に接続された導電部（配線）４２が得られる。

【００４０】

図６（ｂ）からわかるように、本実施形態においても第１の実施形態で説明したのと同様に導電部（配線）４１は下部電極２１の端部に接触しており、導電部（配線）４２も同様に上部電極２３の端部に接触している。したがって、第１の実施形態と同様、配線に必要な面積を大幅に低減することができ、半導体装置の微細化を達成することが可能となる。

【００４１】

また、本実施形態では、互いに隣接するペアの下部電極２１間の間隙を跨ぐように配線４１が形成されており、上記ペアの下部電極２１どうしが共通の配線４１に接続されている。同様に、互いに隣接するペアの上部電極２３間の間隙を跨ぐように配線４２が形成されており、上記ペアの上部電極２３どうしが共通の配線４２に接続されている。そして、配線４１は互いに隣接するがペアではない上部電極２３間の間隙を通るように配置され、同様に、配線４２は互いに隣接するがペアではない下部電極２１間の間隙を通るように配置されている。したがって、隣接するキャパシタ間の距離を効果的に短くすることができ、より半導体装置の微細化をはかることが可能となる。

【００４２】

（実施形態７）

図７（ａ）及び図７（ｂ）は、本発明の第７の実施形態に係る半導体装置（強誘電体メモリ）の製造工程を模式的に示した断面図である。基本的な構成及び製造工程は第６の実施形態と類似しており、図６に示した構成要素と対応する構成要素には同一の参照番号を付し、それらの詳細な説明は省略する。

【００４３】

本実施形態では、図７（ｂ）に示すように、配線４１が下部電極２１を貫通し

、配線４１の側面が下部電極２１の側面に接触している。同様に、配線４２が上部電極２３を貫通し、配線４２の側面が上部電極２３の側面に接触している。そして、配線４１は互いに隣接する上部電極２３間の間隙を通るように配置され、同様に、配線４２は互いに隣接する下部電極２１間の間隙を通るように配置されている。

【００４４】

このような構成により、本実施形態においても、第６の実施形態と同様、隣接するキャパシタ間の距離を効果的に短くすることができ、半導体装置の微細化をはかることが可能となる。

【００４５】

（実施形態８）

図８（ａ）及び図８（ｂ）は、本発明の第８の実施形態に係る半導体装置（強誘電体メモリ）の製造工程を模式的に示した断面図である。基本的な構成及び製造工程は第６の実施形態と類似しており、図６に示した構成要素と対応する構成要素には同一の参照番号を付し、それらの詳細な説明は省略する。

【００４６】

本実施形態は、いわゆるＣＯＰ構造を有する強誘電体メモリに関するものである。すなわち、図８（ａ）の工程において、キャパシタを形成する前にプラグ（例えばＷプラグ）４５を予め形成しておき、このプラグが下部電極２１に接続された配線となる。図８（ｂ）の工程では、第６の実施形態と同様にして、導電部（配線）４２が上部電極２３の端部に接触するように形成される。なお、第７の実施形態と同様に、配線４２が上部電極２３を貫通するような構成であってもよい。

【００４７】

本実施形態では、下部電極に対してはＣＯＰ構造を適用し、上部電極に対しては第６或いは第７の実施形態のような構造を適用することにより、配線に必要な面積を大幅に低減することができ、半導体装置の微細化を達成することが可能となる。

【００４８】

（実施形態９）

図９は、本発明の第９の実施形態に係る半導体装置（強誘電体メモリ）の構成を模式的に示した断面図である。

【００４９】

図９からわかるように、本実施形態は、第７の実施形態で示したような複数のキャパシタ構造を垂直方向に積層したものである。すなわち、同一形状の複数の下部電極２１が同一の領域に積層され、それらが配線４１によって共通接続されている。同様に、同一形状の複数の上部電極２３が同一の領域に積層され、それらが配線４２によって共通接続されている。下部電極２１と上部電極２３とは交互に積層され、隣接する電極間には強誘電体膜２２が形成されている。したがって、積層方向で隣接する電極間の部分が全てキャパシタとして機能する。

【００５０】

なお、ここでは便宜上、下部電極及び上部電極としているが、上述した構成から明らかなように、あるキャパシタにおける下部電極はその上のキャパシタにおいては上部電極となり、同様に、あるキャパシタにおける上部電極はその上のキャパシタにおいては下部電極となる。また、ここでは第７の実施形態で示したような構造を基本構造に用いた場合について説明したが、第６の実施形態で示したような構造を基本構造に用いることも可能である。

【００５１】

本実施形態では、第６及び第７の実施形態と同様の作用効果が得られる他、積層された複数の下部電極２１及び積層された複数の上部電極２３が、それぞれ共通の配線４１及び配線４２で接続されているため、簡単な製造工程で配線の占有面積を効率的に低減することができる。

【００５２】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果

が得られるものであれば発明として抽出され得る。

【００５３】

【発明の効果】

本発明によれば、キャパシタの電極に接続される配線の占有面積を低減することができ、半導体装置の微細化を達成することが可能となる。

【図面の簡単な説明】

【図１】

本発明の第１の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図２】

本発明の第２の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図３】

本発明の第３の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図４】

本発明の第４の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図５】

本発明の第５の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図６】

本発明の第６の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図７】

本発明の第７の実施形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図８】

本発明の第８の実施形態に係る半導体装置の製造工程を模式的に示した断面図

である。

【図９】

本発明の第９の実施形態に係る半導体装置の構成を模式的に示した断面図である。

【図１０】

従来技術に係る半導体装置の構成を模式的に示した断面図である。

【符号の説明】

１１…層間絶縁膜

１２…シリコン窒化膜

１３…シリコン酸化膜

２１…下部電極

２２…強誘電体膜

２３…上部電極

３１、３２、３４…シリコン酸化膜

３３ａ、３３ｂ、３３ｃ…シリコン窒化膜

４１、４１ａ、４１ｂ、４１ｃ…配線の導電部（Ａｌ膜）

４２、４２ａ、４２ｂ、４２ｃ、４２ｄ…配線の導電部（Ａｌ膜）

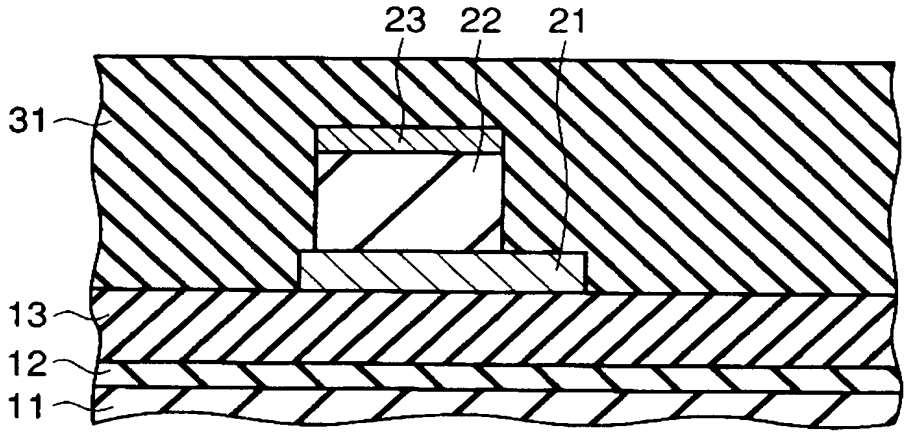
４３…配線の導電部（ＴｉＮ膜）

４５…プラグ

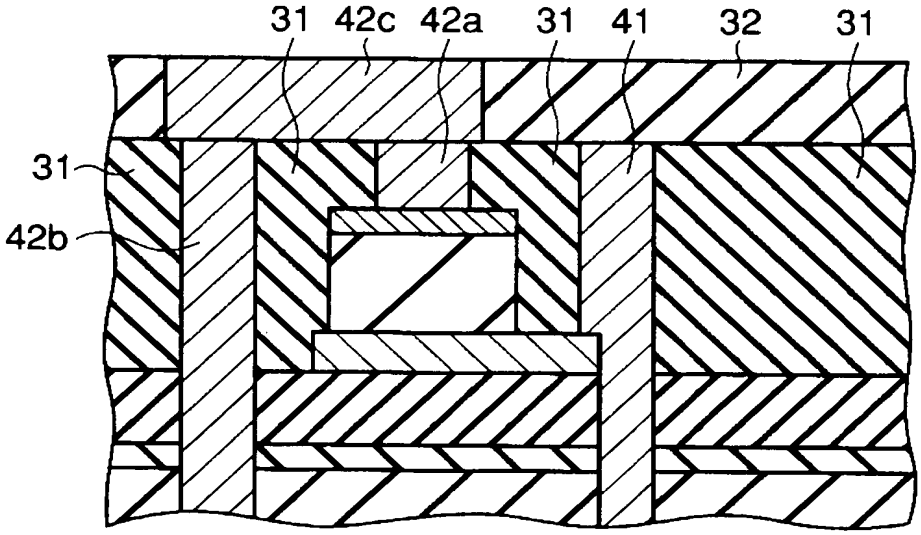
【書類名】　図面

【図１】

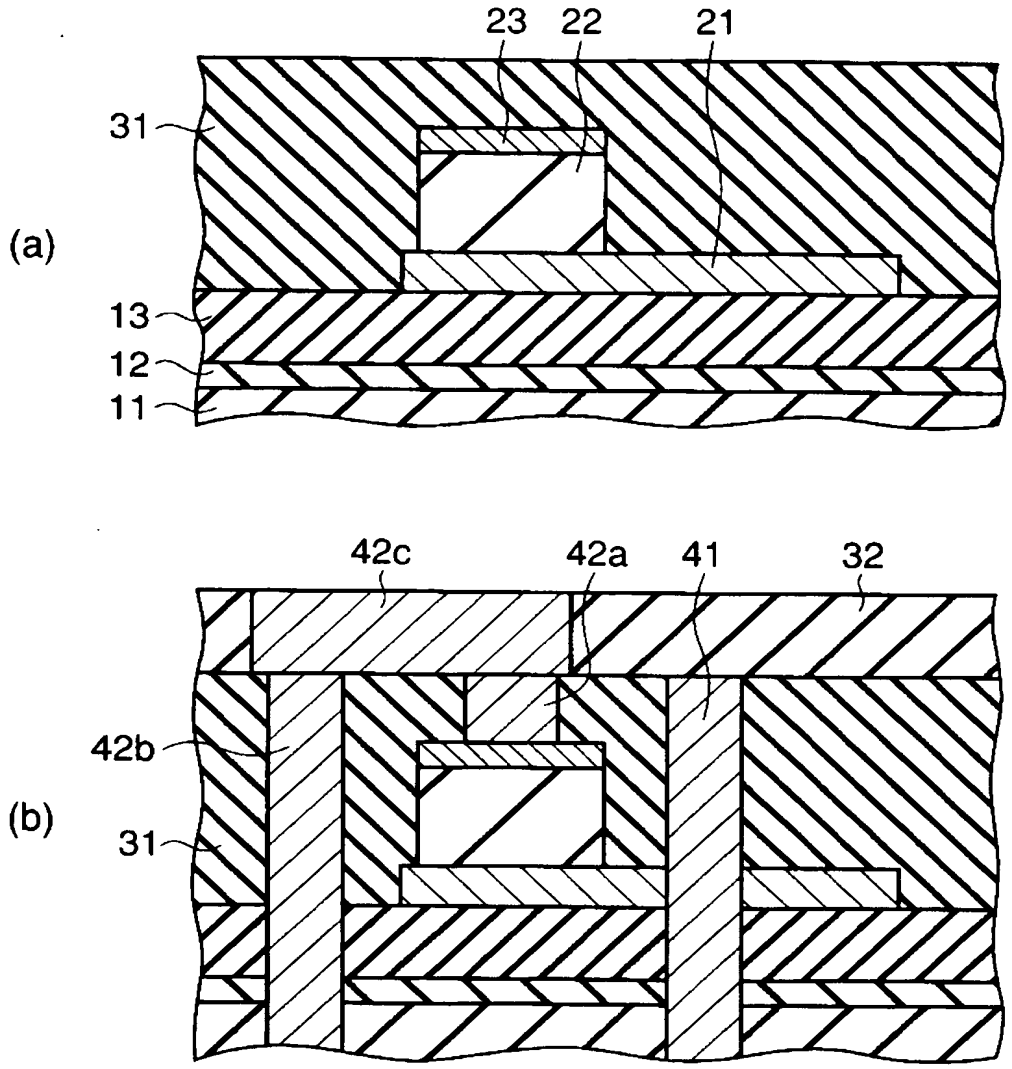
(a)



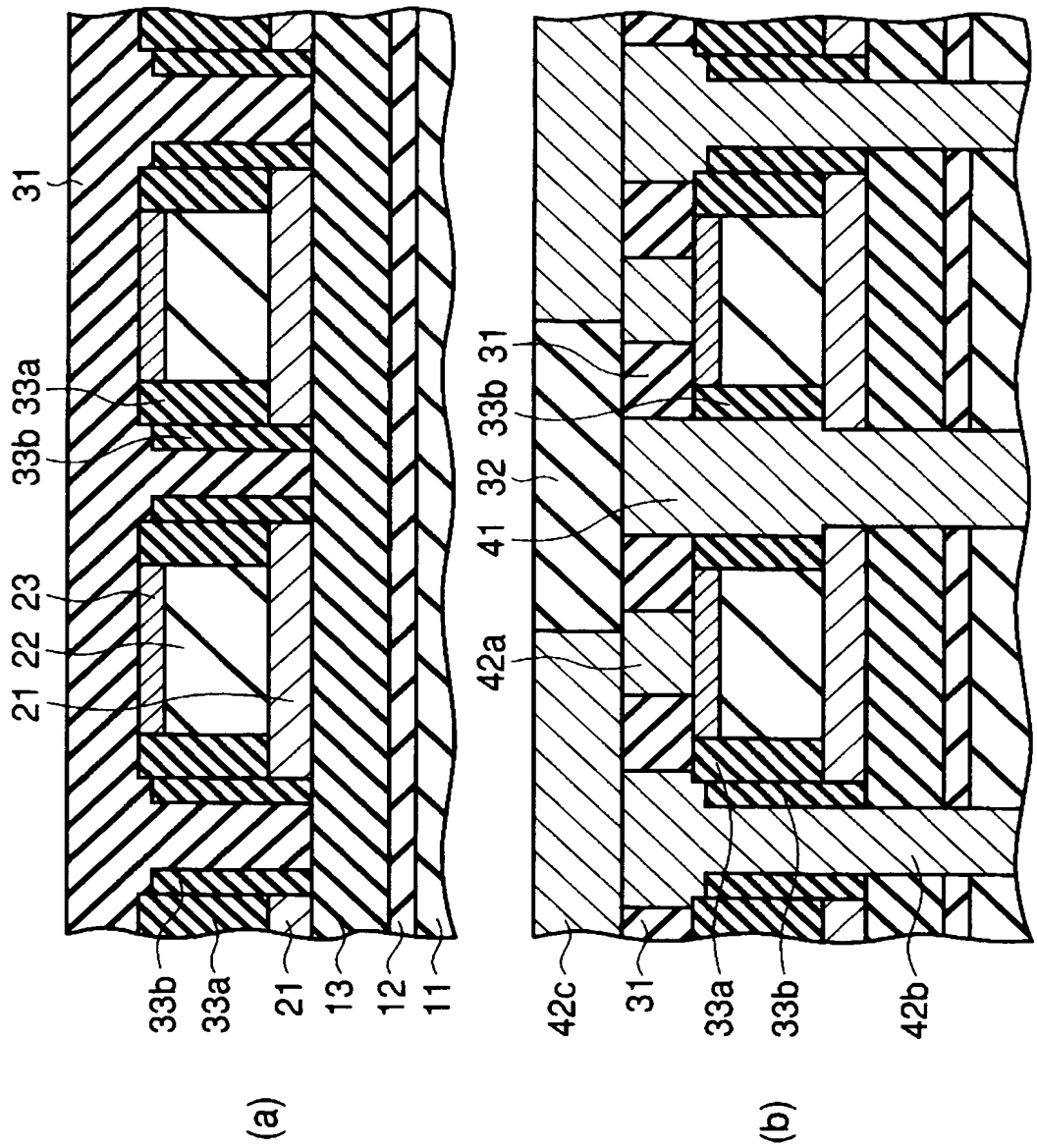

(b)



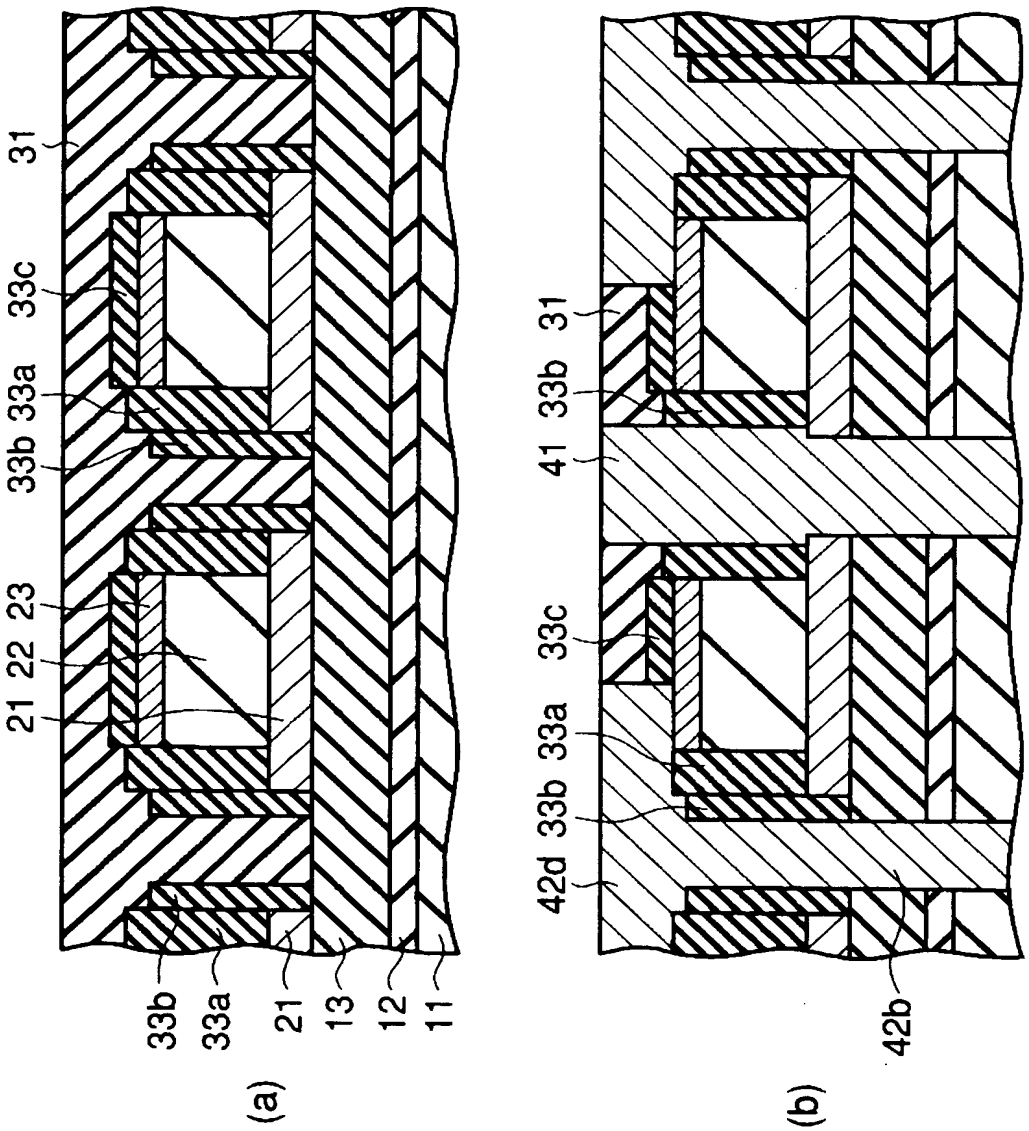
【図２】



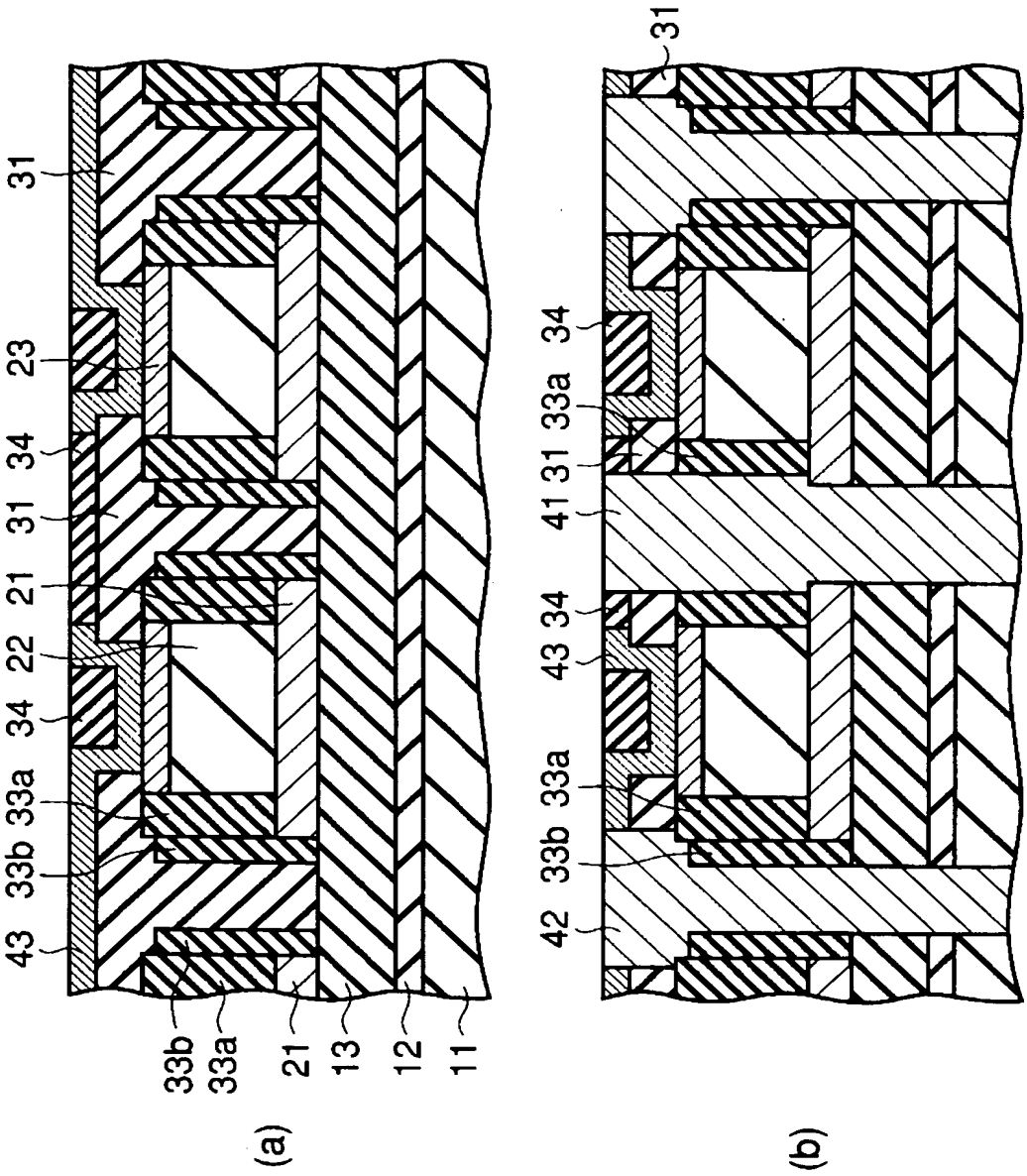
【図３】


31
33b 33a
33b 31
23
32
22
41
21
42a
33b
33a
21
13
12
11
42c
31
33a
33b
42b
(a)
(b)

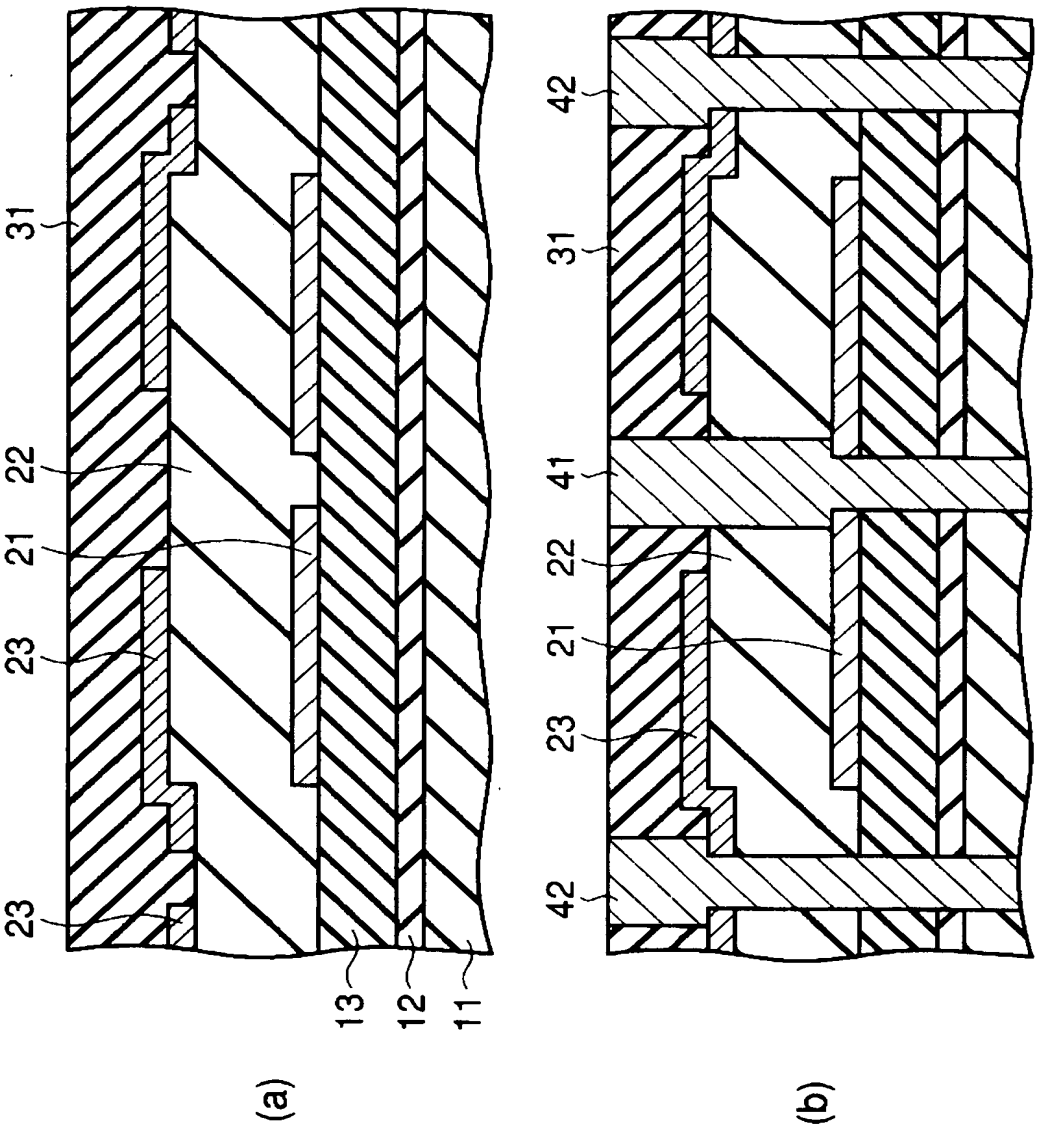
【図４】


31
33c
33a
33b
23
22
21
33b
33a
21
13
12
11
(a)
31
33b
41
33c
33a
33b
42d
42b
(b)

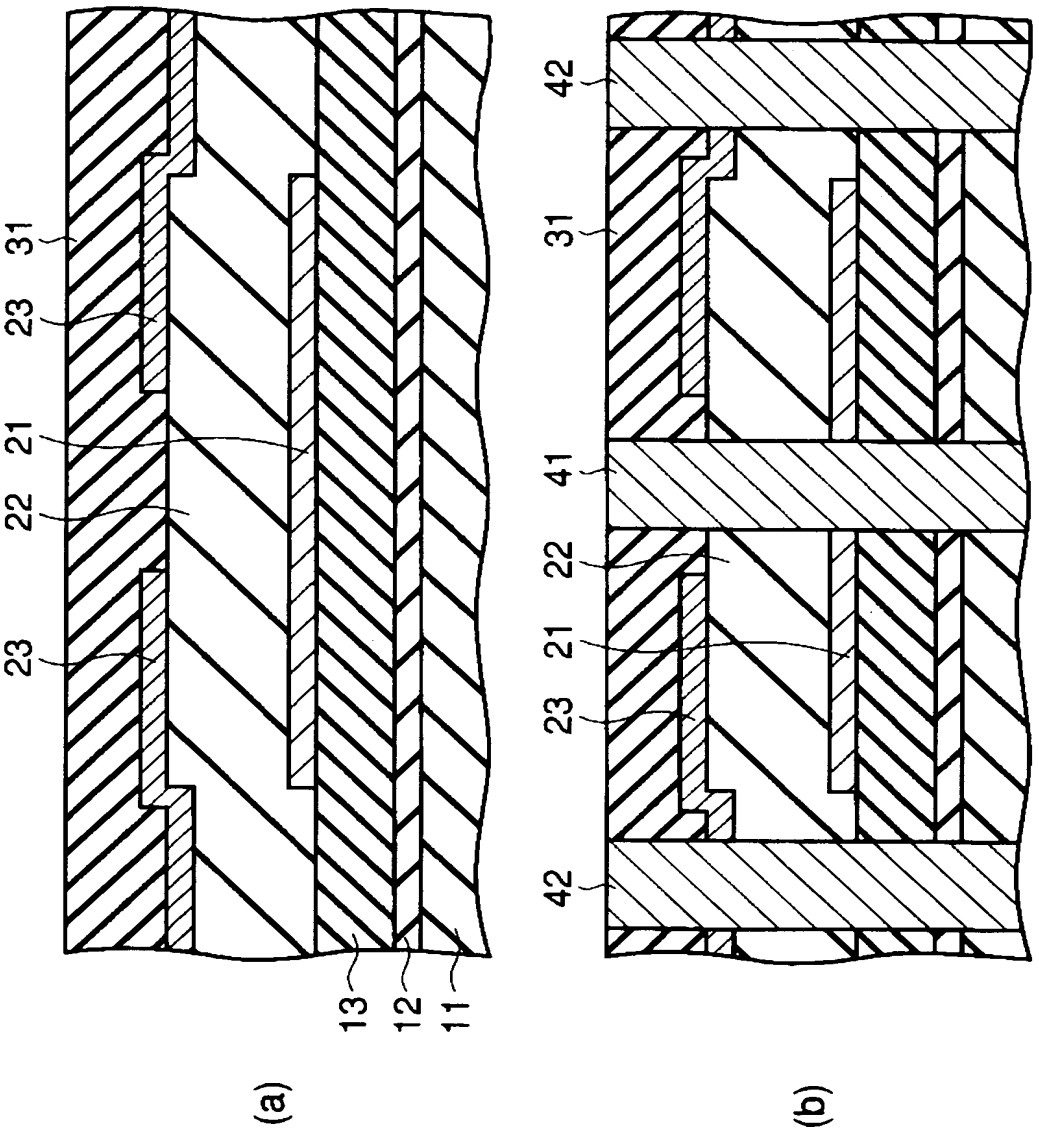
【図５】


31
23
34
31
21
22
34
33a
33b
43
33b
33a
21
13
12
11
(a)
31
34
33a
41 31
43 34
33a
33b
42
(b)

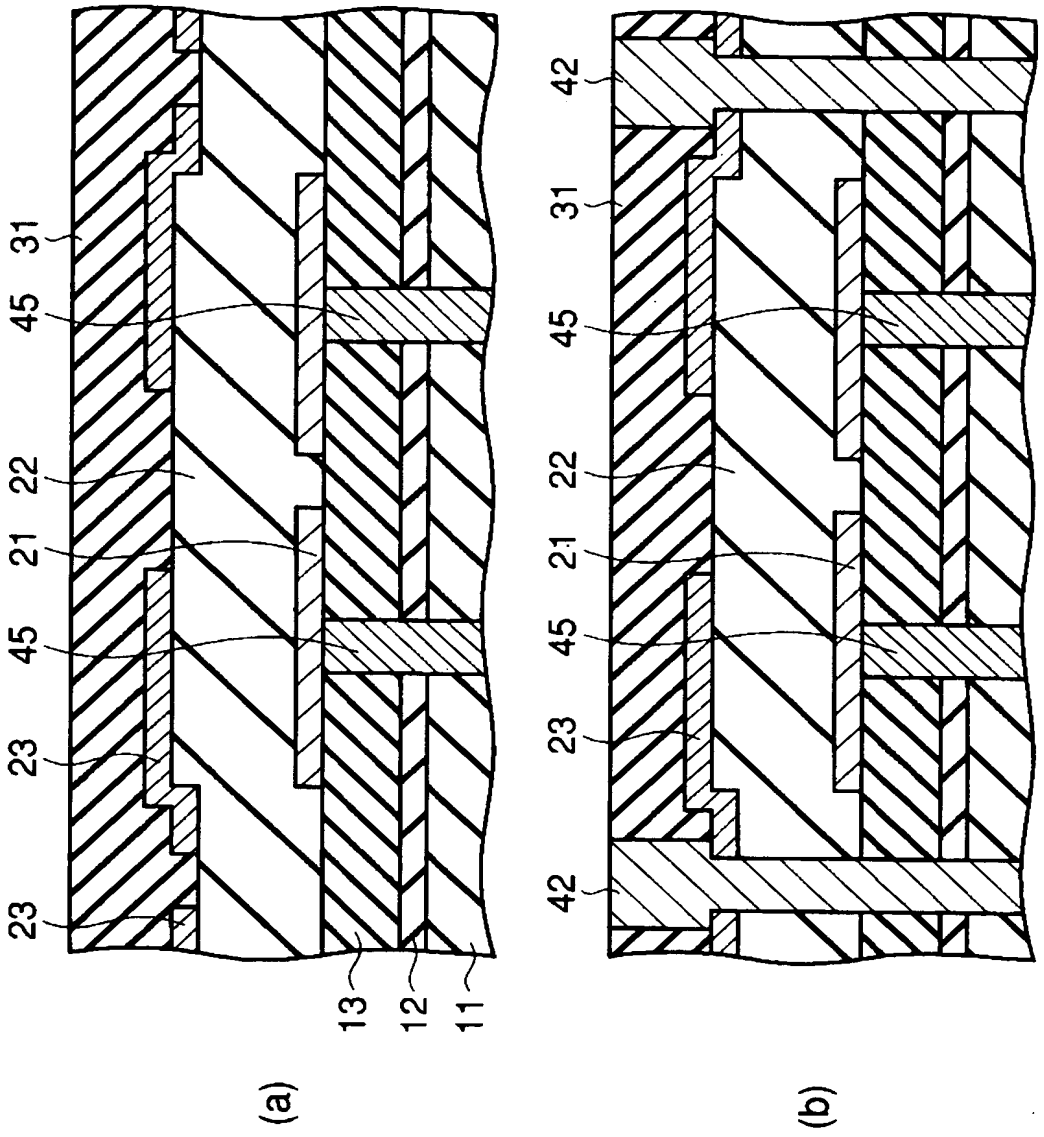
【図６】



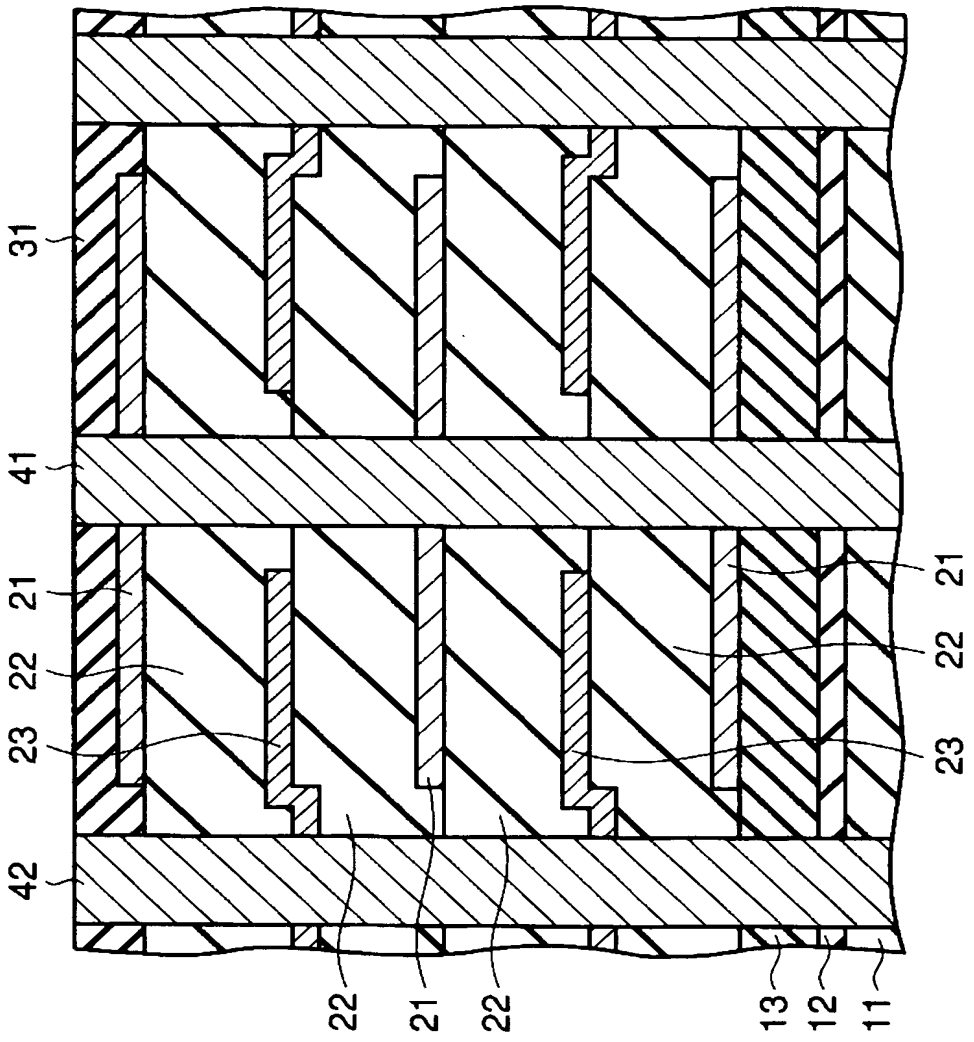
【図７】



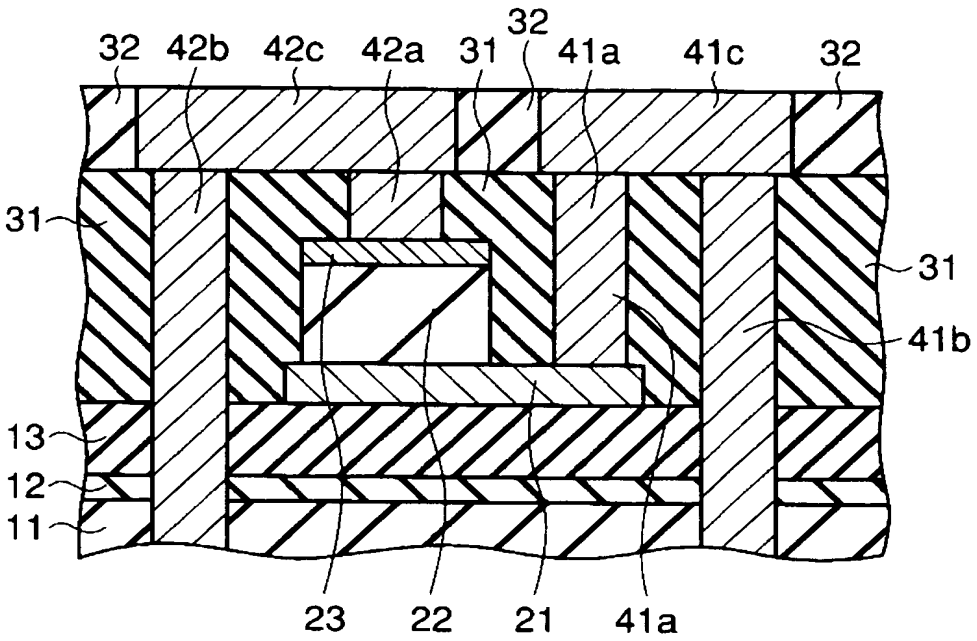
【図８】



【図９】



【図１０】



【書類名】　　要約書

【要約】

【課題】　微細化等を容易に達成することが可能な半導体装置を提供する。

【解決手段】　下地膜１３と、下地膜上に形成された第１の電極２１と、第１の電極上に形成された第１の誘電体膜２２と、第１の誘電体膜上に形成された第２の電極２３と、第１の電極、第１の誘電体膜及び第２の電極の積層方向に延伸した第１の導電部を含み、第１の電極及び第２の電極の一方の電極に第１の導電部の側面が接触した第１の配線４１と、を備える。

【選択図】　　図１

特願２００２－２９８５０６

# 出　願　人　履　歴　情　報

識別番号　　［０００００３０７８］

１．変更年月日　　２００１年　７月　２日
［変更理由］　　住所変更
住　所　　東京都港区芝浦一丁目１番１号
氏　名　　株式会社東芝